

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-046862

(43)Date of publication of application : 21.02.1989

(51)Int.Cl.

G06F 13/28  
H04L 11/00

(21)Application number : 62-203383

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.08.1987

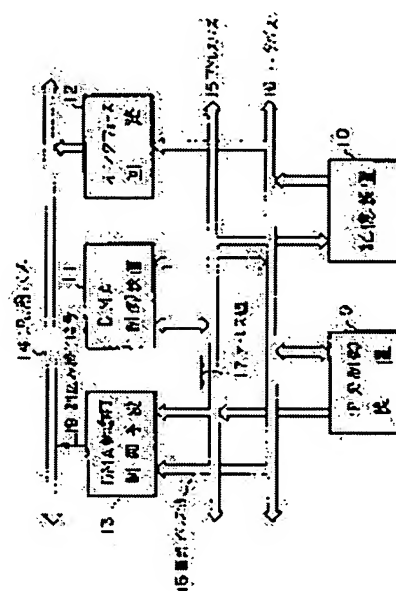
(72)Inventor : SUGIMOTO MINAKO

## (54) BUS CONTROLLER

### (57)Abstract:

**PURPOSE:** To shorten the time during which a GP-IB (general-purpose interface bus) is occupied by a talker in a data transfer by outputting an end signal after detecting the coincidence between each output address value obtained at the DMA transfer and the final address value of the DMA transfer data set previously so that the DMA transfer is carried out up to the final byte.

**CONSTITUTION:** When a DMA controller 11 transfers the data on the final address, a DMA transfer end control means 13 detects the coincidence between the final address value 18 set previously and the address value 17 of an address bus 15. Then an interruption end signal 19 is outputted to a general-purpose bus 14. In such a way, a means is provided to detect the end of the DMA transfer so that the DMA transfer is thoroughly carried out up to the final byte. Thus it is possible to shorten the time during which the GP-IB is occupied by a talker in the data transfer with no intervention of software. As a result, another talker can use early the GP-IB.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭64-46862

⑮ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989) 2月21日

G 06 F 13/28  
H 04 L 11/003 1 0  
3 2 1G-8840-5B  
7928-5K

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 バス制御装置

⑯ 特 願 昭62-203383

⑰ 出 願 昭62(1987) 8月18日

⑱ 発 明 者 杉 本 皆 子 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 復 代 理 人 弁理士 大菅 義之

## 明 細 書

## 1. 発明の名称

バス制御装置

## 2. 特許請求の範囲

1) 中央制御装置(9)と記憶装置(10)とDMA制御装置(11)がアドレスバス(15)及びデータバス(16)を介して互いに接続され、インタフェース回路(12)を介して外部装置が接続される汎用バス(14)が前記データバス(16)に接続され、前記DMA制御装置(11)が前記中央制御装置(9)とは独立に前記記憶装置(10)と前記汎用バス(14)との間でデータのDMA転送を行うバス制御装置において、

前記DMA制御装置(11)が前記アドレスバス(15)を介して前記記憶装置(10)上の各アドレスをアクセスし、該各アドレス上のデータを前記インタフェース回路(12)を介して前記汎用バス(14)にDMA転送する場合に、前記アドレスバス(15)に出力されるアドレス値

(17)と予め前記CPUからデータバス(16)を介して入力したDMA転送データの最終アドレス値(18)とを比較することによりDMA転送の終了を検出し、前記汎用バス(14)上に転送終了を示す割込み終了信号(19)を出力するDMA転送終了制御手段(13)を有することを特徴とするバス制御装置。

2) 前記DMA転送終了制御手段(13)は、前記データバス(16)に接続され前記DMA転送開始時に前記中央制御装置(9)からDMA転送データの最終アドレス値(18)を前記データバス(16)を介して入力し一時記憶するバッファ手段と、

前記アドレスバス(15)に接続され前記DMA転送時に前記アドレスバス(15)から入力する前記アドレス値(17)と前記バッファ手段に一時記憶された前記最終アドレス値(18)とを比較し、一致した場合に前記割込み終了信号(19)を出力する比較手段とによって構成されることを特徴とする特許請求の範囲第1項記載のバス

## 特開昭64-46862 (2)

制御装置。

## 2. 発明の詳細な説明

## (概 要)

外部装置とコンピュータシステムとをインタフェース回路を介してバス接続したシステムに係り、特に該システムがトーカとしてDMA制御装置によってバスを介して外部装置にDMA転送を行う場合にDMA転送終了を示す割込み終了信号をこのバスに出力するためのバス制御装置に関し、DMA転送時の各出力アドレス値と予め設定したDMA転送データの最終アドレス値との一致を検出して終了信号を出力することにより、最終バイトまで全てDMA転送を行うことを可能にし、ソフトウェアの介入を無くすることにより、データ転送中のトーカによるGP-IBバス等の汎用バスの占有時間を短縮させることのできるバス制御装置を提供することを目的とし、

中央制御装置と記憶装置とDMA制御装置がアドレスバス及びデータバスを介して互いに接続さ

れ、インタフェース回路を介して外部装置が接続される汎用バスが前記データバスに接続され、前記DMA制御装置が前記中央制御装置とは独立に前記記憶装置と前記汎用バスとの間でデータのDMA転送を行うバス制御装置において、前記DMA制御装置が前記アドレスバスを介して前記記憶装置上の各アドレスをアクセスし、該各アドレス上のデータを前記インタフェース回路を介して前記汎用バスにDMA転送する場合に、前記アドレスバスに出力されるアドレス値と予め前記CPUからデータバスを介して入力したDMA転送データの最終アドレス値とを比較することによりDMA転送の終了を検出し、前記汎用バス上に転送終了を示す割込み終了信号を出力するDMA転送終了制御手段を有するように構成する。

## (産業上の利用分野)

本発明は外部装置とコンピュータシステムとをインタフェース回路を介してバス接続したシステムに係り、特に該システムがトーカとしてDMA

制御装置によってバスを介して外部装置にDMA転送を行う場合にDMA転送終了を示す割込み終了信号をこのバスに出力するためのバス制御装置に関する。

## (従 来 の 技 術)

上記の如きバスはGP-IB (general purpose interface bus) バスと呼ばれ、各種計測器、マイクロコンピュータ、及びその周辺装置等を相互に接続する汎用目的バスであり、8ビットのデータバスを多用するマイクロコンピュータ等においてその応用が期待されている。特にGP-IBバスにおけるデータ転送形式として、DMA (ダイレクト メモリ アクセス) 転送を用いることにより、GP-IBバスによって接続されるシステムの記憶装置又は入出力装置間でのデータの転送をダイレクトかつ高速に行うことが可能である。

第4図に、従来例におけるGP-IBのインタフェース機能とDMA転送機能を有するマイクロコンピュータシステムの構成を示す。CPU1、

ROM2、及びRAM3は、アドレスバス7及びデータバス8により相互に接続され、また、これらのバス7、8にはDMA転送制御を行うDMAコントローラ(DMAC)4、及びGP-IBバス6とデータバス7とを接続するインタフェース回路(GPIF)5が接続される。また、GPIF5に接続されるGP-IBバス6は、DIO1~8の8ビットのデータバス及びデータ有効信号DAV、終了信号EOI1等を転送する制御バスからなっている。尚、アドレスバス7及びデータバス8も各々8ビット構成である。

このようなシステムにおいて、CPU1はプログラム制御によってROM2、RAM3に対してアドレスバス7からアドレスを指定して、ROM2に対してはデータバス8を介してデータの読み出し、RAM3に対しては同じくデータバス8を介してデータの読み出し及び書き込みを行うことができ、また、アドレスバス7からGPIF5に対して固有のアドレスを指定することによってGPIF5を選択し、データバス8及びDIO1~

## 特開昭64-46862 (3)

8を介してG P - I Bバス6に接続される他のシステムとの間でデータ転送を行うことができる。

方、例えばR A M 3とG P - I Bバス6に接続される他のシステムとの間で大量のデータを直接転送する場合には、D M A C 4がC P U 1とは独立にその制御を行うことができる。今、R A M 3上のデータをG P - I Bバス6上にD M A転送する場合、即ち第4図のシステムがトーカー（話し手）となる場合の動作を以下に説明する。

まず、C P U 1は、D M A C 4にR A M 3上に格納されている転送データの先頭アドレスを設定する。また、転送バイト数として（ $n - 1$ ）を設定する。

これにより、D M A C 4はアドレスバス7及びデータバス8を介してR A M 3上の各アドレスをアクセスし、1バイト目～（ $n - 1$ ）バイト目の転送データを取り出し、G P I F 5を経てG P - I Bバス6上にデータを送出する。この時、G P I F 5からデータバスD I O 1～8に送出される転送データは、第5図(a)、(b)に示すようにG P I

F 5から出力されるデータ有効信号D A Vの“1”となるタイミング（尚、D A V及びE O I 1の各信号は真論理であるため、ローレベルが“1”、ハイレベルが“0”である）で送出される。尚、最終 $n$ バイト目は送出されない。

次にC P U 1は第6図に示されるように一定間隔毎にD M A C 4からデータバス8に送出されるD M Aステータスをリードしており（第6図S 1→S 2→S 1のループ）、D M A転送の終了を検出した後、R A M 3上の転送最終 $n$ バイト目のデータをソフトウェア制御によって取り込み、G P I F 5のアドレスを選択してG P I F 5を介して該最終 $n$ バイト目のデータをデータ転送の終了を示す終了信号E O I 1と同時に送出する（第6図S 2→S 3、S 4）。この場合も、第5図(a)、(b)に示すようにG P I F 5から出力されるD A V信号の“1”となるタイミングでD I O 1～8に出力される。

上記動作により、D M A C 4によるD M A転送中はC P U 1は独立して他の処理を行うことがで

きる。

〔発明が解決しようとする問題点〕

上記従来例の場合、D M A C 4がD M A転送終了と同時に終了信号E O I 1を送出する機能を有しておらず、そのためC P U 1からのソフトウェア制御によって、最終 $n$ バイト目とE O I 1とをG P I F 5からG P - I Bバス6上に同時に転送していた。

しかしこのような方式の場合、第5図(a)に示すように1バイト目から（ $n - 1$ ）バイト目までのD M A転送時間T 1の他に、ソフトウェア制御による最終 $n$ バイト目のデータ及びE O I 1の送出時間T 2が必要となり、しかもT 2はT 1における1バイトの転送時間に比較して非常に多くの時間を占有する。従って第5図(a)に示すG P - I Bバス6（第4図）の占有時間T 3は、ソフトウェア制御の時間T 2の影響をかなり大きく受けることになる。例えば、B A S I Cなどに代表されるインタプリタ言語の実行時間を0.1 msec/ステッ

プ、D M A転送速度を0.5  $\mu$  sec / バイトとし、最終 $n$ バイト目のデータ及びE O I 1の転送に必要なソフトウェアの制御のプログラムステップ数を4ステップとすると、第5図(a)におけるT 1、T 2、及び同図(a)のT 3は各々、

$$\left. \begin{aligned} T 1 &= (0.005 \times (n - 1)) \text{ msec} \\ T 2 &= 0.4 \text{ msec} \\ T 3 &= (0.005 \times (n - 1) + 0.4) \text{ msec} \end{aligned} \right\} (A)$$

となる。

このためD M A転送を開始してから最終バイトの転送が終了するまでにオーバーヘッドが生じることになり、データ転送中のG P - I Bバス6の占有時間が増加し、G P - I Bバス6に接続される他のトーカーがバスを使用する時間が制限されてしまうという問題点を有していた。

本発明は上記問題点を解決するために、D M A転送時の各出力アドレス値と予め設定したD M A転送データの最終アドレス値との一致を検出して終了信号を出力することにより、最終バイトまで全てD M A転送を行うことを可能にし、ソフトウ

## 特開昭64-46862 (4)

ウェアの介入を無くすることにより、データ転送中のトーカによるGP-IBバス等の汎用バスの占有時間を短縮させることのできるバス制御装置を提供することを目的とする。

〔問題点を解決するための手段〕

第1図は、本発明の基本的な構成を示すブロック図である。中央制御装置9、記憶装置10、及びDMA制御装置11は、各々アドレスバス15及びデータバス16によって相互に接続される。また、汎用バス14とデータバス16はインタフェース回路12を介して接続される。更に、DMA転送終了制御手段13はデータバス16を介して中央制御装置9から予めDMA転送データの最終アドレス値18を入力しており、DMA制御装置11によるDMA転送時にアドレスバス15からのアドレス値17を入力し、上記最終アドレス値18と一致したときに汎用バス14に割込み終了信号19を出力する。

このときDMA転送終了制御手段13は、例え

ばデータバス16に接続され最終アドレス値18を保持するラッチ回路と、該ラッチ回路の出力とアドレスバス15に接続され、両者より入力する最終アドレス値18及びアドレス値17を比較し、一致信号として割込み終了信号19を出力する比較器等により実現される。

〔作 用〕

上記手段において、DMA転送開始時には中央制御装置9が、まずDMA転送終了制御手段13にデータバス16を介して、DMA転送の最終アドレス値18を設定する。その後、DMA制御装置11に例えばDMA転送の先頭アドレス値と転送データ数を設定する。これによりDMA制御装置11は、アドレスバス15を介して記憶装置10の各アドレスをアクセスし、該各アドレス上のデータを読み出してインタフェース回路12から汎用バス14にDMA転送を行う。

DMA制御装置11が最後アドレスのデータの転送を行うと、DMA転送終了制御手段13にお

いて、予め設定されている最終アドレス値18をアドレスバス15上のアドレス値17の一致が検出され、割込み終了信号19が汎用バス14に出力される。

上記動作により、中央制御装置9はDMA転送に関して全くソフトウェア制御を行う必要がなくなり、汎用バス14の占有時間が短縮される。

〔実 施 例〕

以下、本発明の実施例につき詳細に説明を行う。

第2図は本発明の実施例の構成図である。CPU20、ROM21、及びRAM22は、アドレスバス29及びデータバス30により相互に接続され、また、これらのバス29、30には、DMA転送制御を行うDMAコントローラ(DMAC)23、及びGP-IBバス28とデータバス30とを接続するインタフェース回路(GPIF)24が接続される。また、GP-IBバス28は、DIO1~8の8ビットのデータバス及びデータ有効信号DAV、終了信号EOI2等を転送する

制御バスからなっている。ここで、DIO1~8及びDAVはGPIFに接続され、EOI2は負論理アンド回路27の出力に接続される。なお、アドレスバス29及びデータバス30も各々8ビットである。

一方、ラッチ26はアドレスバス29からのラッチ固有アドレスによって選択され、DMA転送開始時にデータバス30を介してCPU20からDMA転送データの最終アドレス値32を入力し保持する。また、比較器25はDMA転送時にアドレスバス29からアドレス値31を入力し、ラッチ26からの最終アドレス値32と比較をし、一致した場合に比較出力CMPとして負論理1を負論理アンド回路27に出力する。負論理アンド回路27の他の入力にはGPIF24からデータ有効信号DAVが入力する。

このようなシステムにおいて、CPU20はプログラム制御によってROM21、RAM22に対してアドレスバス29からアドレスを指定して、ROM21に対してはデータバス30を介してデ

## 特開昭64-46862 (5)

ータの読み出し、RAM 22 に対しては同じくデータバス 30 を介してデータの読み出し及び書き込みを行うことができ、また、アドレスバス 29 から GP I F 24 に対して固有のアドレスを指定することによって GP I F 24 を選択し、データバス 30 及び D I O 1 ~ 8 を介して GP - I B バス 28 に接続される他のシステムとの間でデータ転送を行うことができる。以上の動作は、第 4 図の従来例の場合と同様である。

一方、例えば RAM 22 と GP - I B バス 28 に接続される他のシステムとの間で大量のデータを直接転送する場合には、DMAC 23 が CPU 20 とは独立にその制御を行うことができる。今、RAM 22 上のデータを GP - I B バス上に DMA 転送する場合、すなわち第 2 図のシステムがトーカー（話し手）となる場合の動作を以下に説明する。

まず、CPU 20 はアドレスバス 29 にラッチ 26 の固有アドレスを出力してラッチ 26 を選択し、データバス 30 を介して DMA 転送データの

最終アドレス値 32 を予め書き込んでおく。

次に、CPU 20 は DMAC 23 に RAM 22 上に格納されている DMA 転送データの先頭アドレス値を設定し、転送バイト数として  $n$  を設定する。

その後、制御は DMAC 23 に移り、CPU 20 は独立して他の処理を行なえる。DMAC 23 はアドレスバス 29 を介して RAM 22 上の各アドレスをアクセスし、1 バイト目 ~  $n$  バイト目の転送データを取り出し、GP I F 24 を経て GP - I B バス 28 上にデータを送出する。この時、GP - I F 24 からデータバス D I O 1 ~ 8 に送出される転送データは、第 3 図 (a), (b) に示すように GP I F 24 から出力されるデータ有効信号 DAV の "1" となるタイミング（第 4 図と同様負論理である）で送出される。

上記動作により、DMAC 23 がアドレスバス 29 にアドレス値 29 として、最終  $n$  バイト目のアドレスを出力した時に、比較器 25 においてラッチ 26 からの最終アドレス値 32 とアドレスバ

ス 29 からのアドレス値 29 との一致が検出されるため、その出力 CMP が負論理で "1" になり、負論理アンド回路 27 の出力は、第 3 図 (c), (d) に示すように最終  $n$  バイト目の DAV が GP I F 24 から出力されるタイミングで "1" となり、E O I 2 が GP - I B バイト 28 に出力される。

以上の動作により、DMA 転送開始前に CPU 20 からラッチ 26 に最終アドレス値 32 を設定する時に、第 3 図 (e) の T4 でソフトウェアによる制御を必要とするのみで、DMA 転送中はソフトウェアの介入無しで最終バイト目のデータを割込み終了信号 E O I 2 とを同時に転送することができ、上記 DMA 転送開始時のソフトウェア制御の時間 T4 では、GP - I B バイト 28 が占有されることはないため、トーカーによる同バス 28 の占有時間は純粋に DMAC 23 による DMA 転送時間、すなわち第 3 図 (e) の T5 のみとなる。

今、例えば DMA 転送バイト数を  $n$  バイト、DMA 転送速度を  $5 \mu \text{sec} / \text{バイト}$  とすると、第 3 図 (e) の GP - I B バス 28 の占有時間 T5 は、

$$T5 = (0.005 \times n) \text{ msec} \quad (B)$$

となる。これは第 5 図 (e) の式 (A) の従来例に比較して大幅な短縮となる。例えば、DMA 転送バイト数を 20 バイトとすると、第 5 図 (e) の従来例の場合の GP - I B バス 6（第 4 図）の占有時間 T3 は、式 (A) より  $0.5 \text{ msec}$  となるが、第 3 図 (e) の本実施例の場合の GP - I B バス 28（第 2 図）の占有時間 T5 は、式 (B) より  $0.1 \text{ msec}$  となり、バス占有率は従来例の場合の 20 % にまで短縮される。

## 〔発明の効果〕

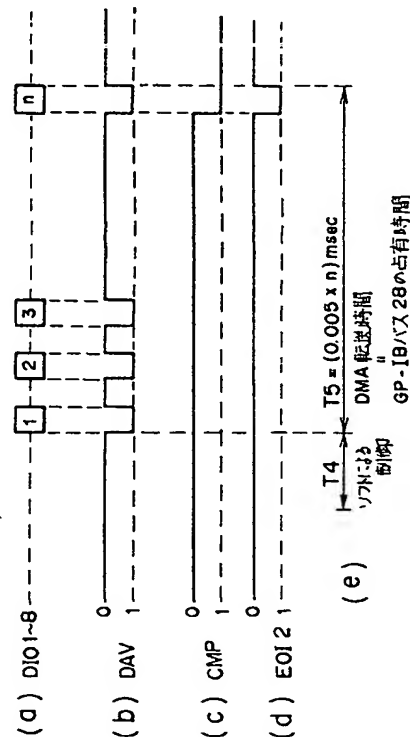
本発明によれば、DMA 転送終了を検出する手段を設けたことにより、最終バイトまで全て DMA 転送を行うと共に割込み終了信号を出力することを可能とし、ソフトウェアの介入を無くすることにより、データ転送中のトーカーによる GP - I B バスの占有時間を短縮し、他のトーカーに GP - I B バスを早く使用させることが可能となる。

特開昭 64-46862 (8)

## 4. 図面の簡単な説明

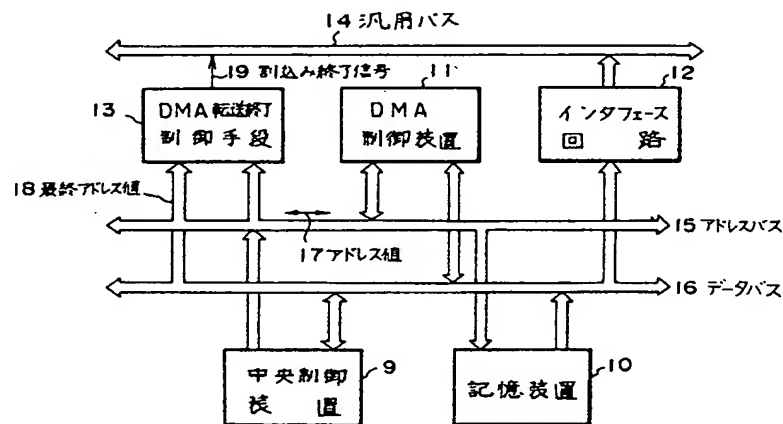
第1図は、本発明のブロック図、  
 第2図は、本発明の実施例の構成図、  
 第3図は、本発明の実施例の動作タイミングチャート、  
 第4図は、従来例の構成図、  
 第5図は、従来例の動作タイミングチャート、  
 第6図は、従来例におけるCPUの動作フローチャートである。

- 9・・・中央制御装置、
- 10・・・記憶装置、
- 11・・・DMA制御装置、
- 12・・・インタフェース回路、
- 13・・・DMA転送終了制御手段、
- 14・・・汎用バス、
- 15・・・アドレスバス、
- 16・・・データバス、
- 17・・・アドレス値、
- 18・・・最終アドレス値、
- 19・・・割込み終了信号。



本発明の実施例の動作タイミングチャート

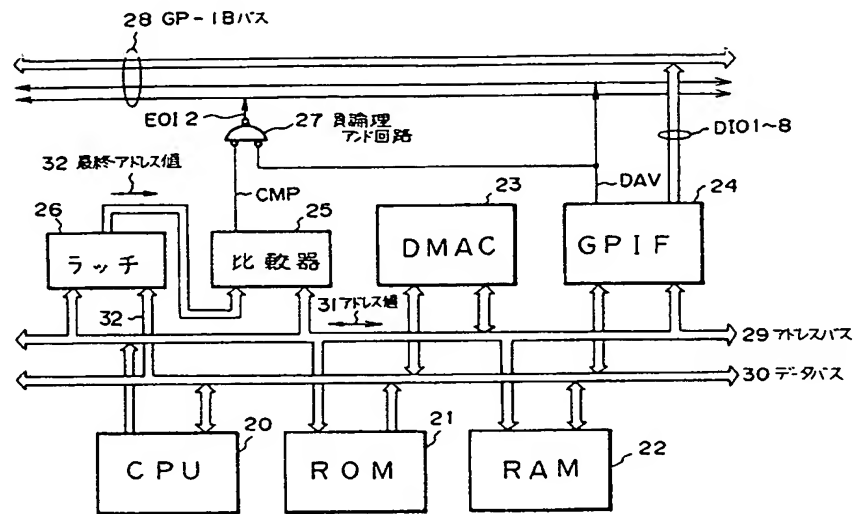
第3図



本発明のブロック図

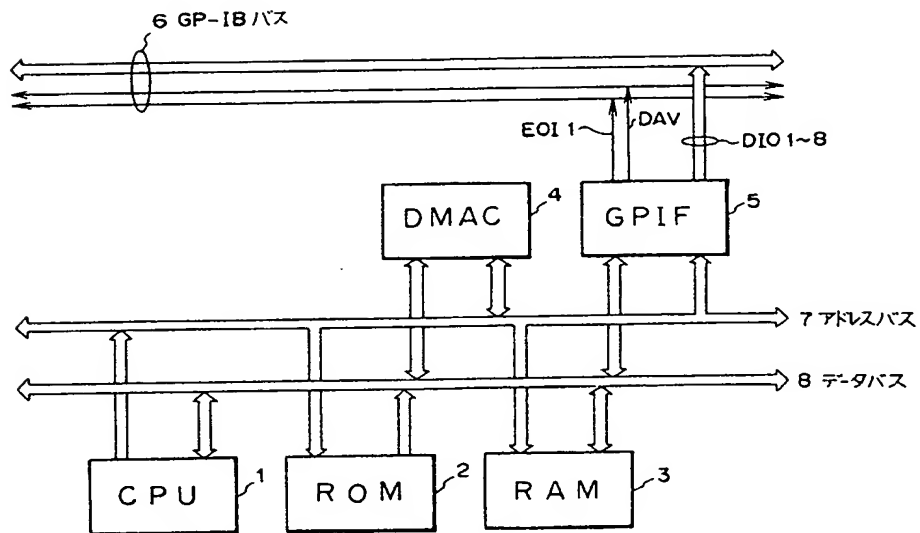
第1図

特開昭64-46862 (7)



本発明の実施例の構成図

第 2 図

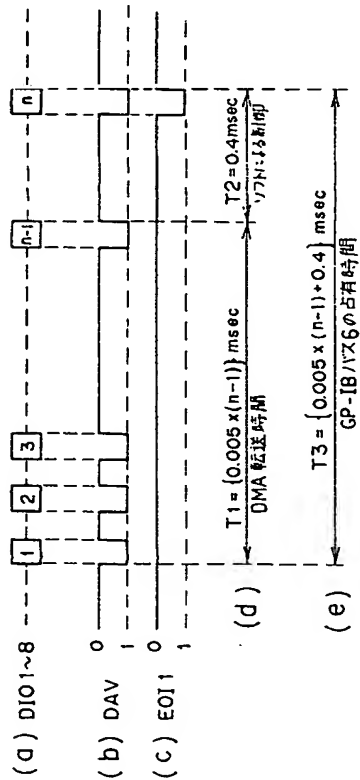


従来例の構成図

第 4 図

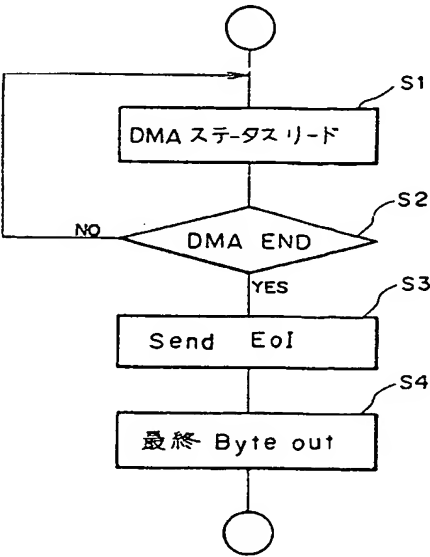


特開昭64-46862 (8)



従来例の動作タイミングチャート

第 5 図



従来例におけるCPUの動作フローチャート

第 6 図